

基于FPGA的TDC设计及非线性校正

金博存, 杨瑞强

(兰州空间技术物理研究所 真空技术与物理重点实验室, 兰州 730000)

摘要:时间数字转换电路是飞行时间质谱仪和火星能量粒子分析仪中必不可少的环节,其分辨率和精度的高低将直接决定飞行时间质谱仪和火星能量粒子分析仪中的粒子鉴别能力。文章利用FPGA内进位链结合粗计数的方法完成了对时间数字转换器的设计,采用Xilinx Spartan-6系列FPGA完成。设计了码密度测试法对进位链中延迟单元的延迟时间进行测量,在测试时发现其进位链中存在延迟时间较大的延迟单元,严重影响时间数字转换器测量的非线性程度。为解决这一问题,采用bin-by-bin的校准方式对延迟链非线性进行修正,提高TDC的测量精度。

关键词:时间数字转换器(TDC);进位链;延迟单元非线性校正

中图分类号:TB65[·]5

文献标志码:A

文章编号:1006-7086(2018)05-0342-06

DOI: 10.3969/j.issn.1006-7086.2018.05.010

The Design and Non-linear Calibration for Time to Digital Converter Based on FPGA

JIN Bocun, YANG Ruiqiang

(Science and Technology on Vacuum Technology and Physics Laboratory,
Lanzhou Institute of Physics, Lanzhou 730000, China)

Abstract: TDC (Time-to-Digital Converters) is very important part for flight mass spectrometer (TOF) and mars energetic particles analyzer (Mars-EPA). Furthermore, the particle identification capability in TOF and Mars-EPA is determined by TDC's least significant bit (LSB) and accuracy. The design has used FPGA's carry-line and coarse counter to complete TDC based on Xilinx Spartan-6. The research has designed the code-density measurement to measure delay time of carry-line delay cell. In the measurement of code density, the research finds that there is large delay time delay-cell in the carry line which will influence TDC's extent of non-linearity and accuracy. In order to improve the accuracy of TDC, the bin-by-bin calibration has been used to calibrate non-linearity of delay line and improve accuracy of TDC.

Key words: time to digital convertor; carry line; delay-cell calibration

0 引言

时间作为七个基本物理常量之一,是目前可实现超高精度测量的物理量之一^[1]。在现代科学研究中许多物理量需要转换成时间间隔信息进行测量,时间数字转换器(Time to Digital Converter, TDC)是实现高精度时间间隔测量的技术手段之一。目前, TDC技术被广泛应用于粒子物理探测、深空通讯、频率测量等领域。在飞行时间质谱仪和火星能量粒子分析仪中,可利用TDC对粒子的飞行时间和电流脉冲波形上升时间进行测量,从而完成对粒子种类鉴别。TDC分辨率和精度的高低将直接决定飞

行时间质谱仪和火星能量粒子分析仪中的粒子鉴别能力。目前TDC的实现方式大多采取ASIC(专用集成电路)和FPGA实现,相对ASIC-TDC以FPGA实现的TDC具有成本低、高灵活性、研发周期短等优点。基于FPGA内进位链资源实现的TDC因其可实现较高的测量分辨率已成为目前FPGA-TDC领域中研究热点。

1 基于FPGA的TDC测量技术

目前在FPGA实现TDC主要采取Nutt内插法^[2], 将待测时间间隔分为粗、细两个过程。测量原理如

收稿日期:2018-04-20

作者简介:金博存(1990-),男,甘肃兰州人,硕士研究生,主要从事空间探测载荷应用研究。E-mail:jbsky@163.com。

图1所示,粗测量单元完成对时钟周期整数倍的时间间隔的测量,而细测量单元则完成对开始(Start)结束(Stop)不足一个时钟周期的时间间隔的测量,待测时间间隔 ΔT 可由式(1)得到。

$$\Delta T = N_c T_0 + T_a - T_b \quad (1)$$

式中: T_0 为计数器的时钟周期; N_c 为计数器的测量值; T_a 和 T_b 为不足一个时钟周期的时间间隔。

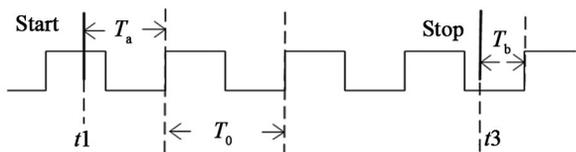


图1 粗计数结合细测量原理图

Fig.1 The measurement of coarse counter combined with fine time

粗测量一般采用计数器来实现,计数器可以使TDC获得更大的测量动态范围,再结合其他细测量的技术对不足一个时钟周期的时间间隔进行测量。从技术途径,在FPGA中实现细测量内插方式可以分为两类:一是如何获取已知延迟时间更小的延迟单元(如延迟链法,脉冲收缩法);二是如何将待测时间间隔进行等比例的放大(如游标法)^[3-5]。本设计的FPGA-TDC采用延迟链法构建细测量单元,延迟链法原理如图2所示。信号在延迟链上传递由于每个延迟单元延迟时间已知,可利用通过触发器来锁存延迟链的状态从而获得待测时间间隔。

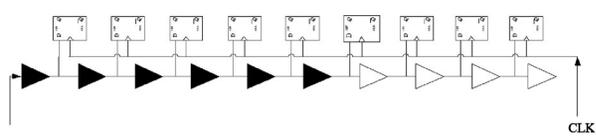


图2 延迟链法原理图

Fig.2 Diagram of the delay line

通过研究发现FPGA中的进位链具有延迟时间小且延迟时间相对稳定的特点^[3],因此设计通过FPGA内部的进位资源构建延迟链来实现TDC的细测量单元。

2 FPGA-TDC的实现

设计选用Xilinx的Spartan 6系列的XC6SLX16 FPGA来实现TDC电路。图3为所设计TDC电路整体结构框图,整个TDC测量系统可以划分为四个部分:“粗”测量单元、“细”测量单元、编码单元、数据缓存单元。

在Spartan6系列的XC6SLX16器件中,最多能实现236级加法进位链。在仿真时,设计196级加法器级联其延迟时间约为4.1 ns。由此可以算出TDC测量系统中计数器的时钟频率应为 $f=1/T=1/4 \text{ ns}=250 \text{ MHz}$ 。为了避免计数器的亚稳态现象,粗测量单元采用两个工作在正反250 MHz时钟下的12位计数器,可实现的TDC电路的测量范围为:16.384 us。

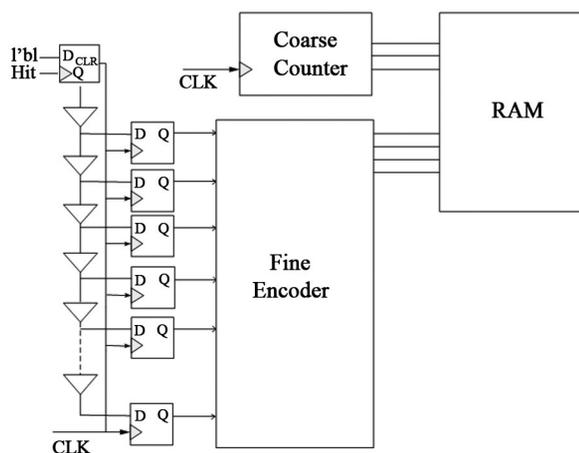


图3 TDC整体结构框图

Fig.3 Block diagram of the time-to-digital converter

细测量单元采用Spartan6器件中进位链资源来构成加法延迟链进行时间内插。在Xilinx的Spartan6上使用加法器生成进位链时,首先通过Xilinx FPGA开发软件ISE中的Spartan6器件原语去调用Slice中的进位链资源,然后通过约束语句描述进位链的位置信息。将所有进位链中的加法器的被加数端置1,初始时刻所有进位链上的加法器输出端为1。当起始信号到来时位于进位链中的加法输出依次从1跳变为0,此时通过D触发器锁存进位链的状态即可获得待测时间间隔。进位链中的D触发器采用Slice中自带的D触发器,确保每一个延迟单元的输出信号能够被完全一致的采集。

在对进位链构成的细测量单元进行布线后,仿真时发现每一级加法器的输出信号的延迟时间并不相等。通过查看Spartan6的用户手册,发现Spartan6器件Slice中的进位链是一种超前进位链,这种超前进位的结构是造成每一级加法器输出延迟时间不一致的原因。为了获得延迟时间稳定的最小延迟单元,对进位链中的延迟单元进行了重新的划分。将一个Slice内部的四个加法器作为一个最小延迟单元其延迟时间约为83 ps。整个细测量单元共使用196级加法器构成50个最小延迟单元,总延

迟时间约为4.1 ns。由延迟链法原理可知,细测量单元输出数据为 n 位温度计码的格式,不利于后期的存储和处理。因此,设计编码单元将细测量的输出转换成普通的二进制码。

最后,利用FPGA内部的RAM资源作为数据缓存单元,对粗测量和细测量结果进行保存。此外该RAM单元还可用于构建相应的查找表完成对细测量单元的非线性校正工作。

3 码密度测试平台

进位链中延迟单元延迟时间的不均匀性是造成TDC测量精度下降的主要原因之一,此外通过FPGA设计软件仿真的延迟时间并不能反映其真实测量的延迟情况。因此,应设计相应的测试平台对TDC延迟单元的延迟时间进行测试。采用码密度测试法对TDC进行测试,码密度测试法是基于大量数据统计的测试方法^[6,7]。对于随机的测试信号当统计次数足够多时,不同码值被击中的频率即可表征相应码值的时间宽度。测试时,向延时链中输入大

量的随机跳变脉冲,假设有 N 个随机跳变脉冲,第 i 个延迟单元采样得到的码密度数据为 M ,可以得出第 i 个延迟单元的延迟时间 M 为:

$$T_i = \frac{M}{N} T_{\text{CLK}} \quad (2)$$

式中: T_i 为第 i 个延迟单元的延迟时间; N 为码密度测试总数; M 为第 i 个延迟单元的统计次数; T_{CLK} 为系统的时钟周期(4 ns)。码密度测试法的随机信号在实际应用中很难产生,因此在测试时使信号源产生一个与时钟频率不相关的周期信号来代替随机信号。信号源采用AFG3102输出一个4 MHz的信号模拟大量随机脉冲的产生源,将AFG3102输出信号通过同轴电缆连接至FPGA延迟链的输入端口,延迟链中触发器采样频率为250 MHz由FPGA内锁相环提供。在FPGA例化一个RAM来存储每次细测量的结果,最后将RAM中的数据通过串口发送至PC端进行后续的处理。测试样本总数为200 000个,测试所得的码密度直方图、微分非线性、积分非线性如图4~图6所示。

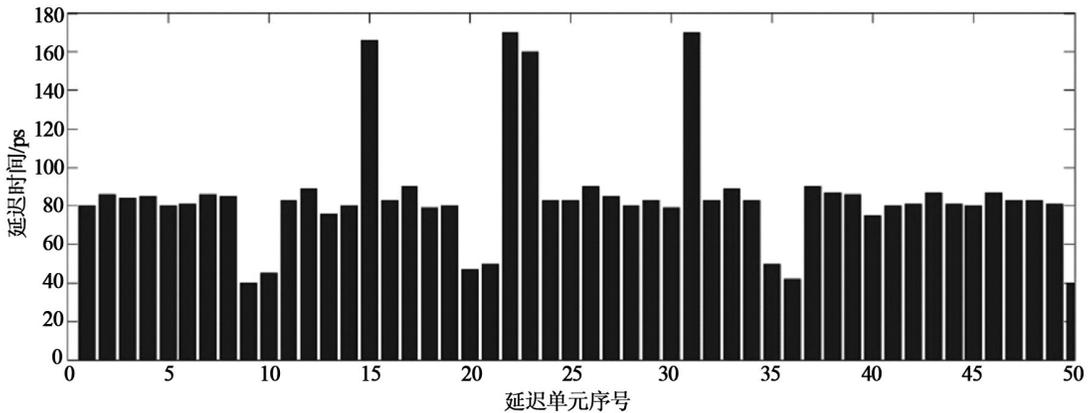


图4 码密度直方图

Fig.4 Histogram of code density

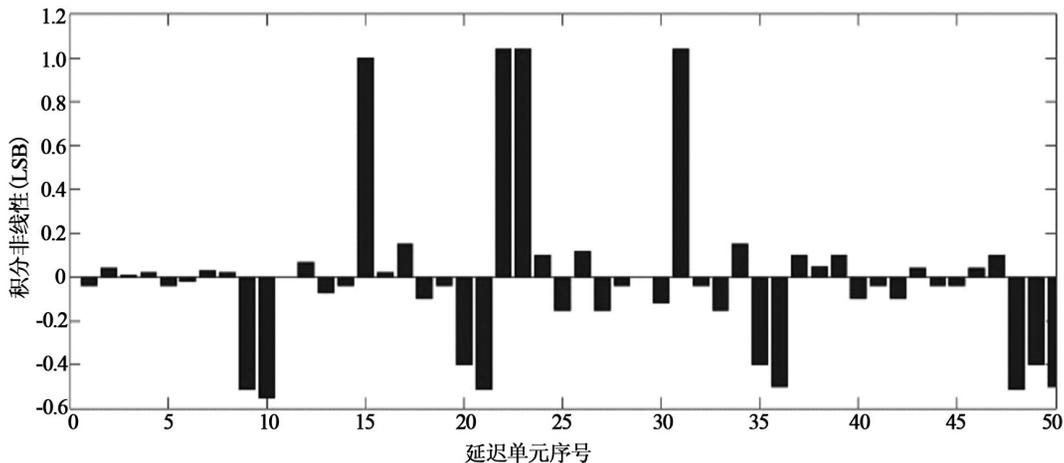


图5 微分非线性图

Fig.5 Diagram of differential nonlinearity

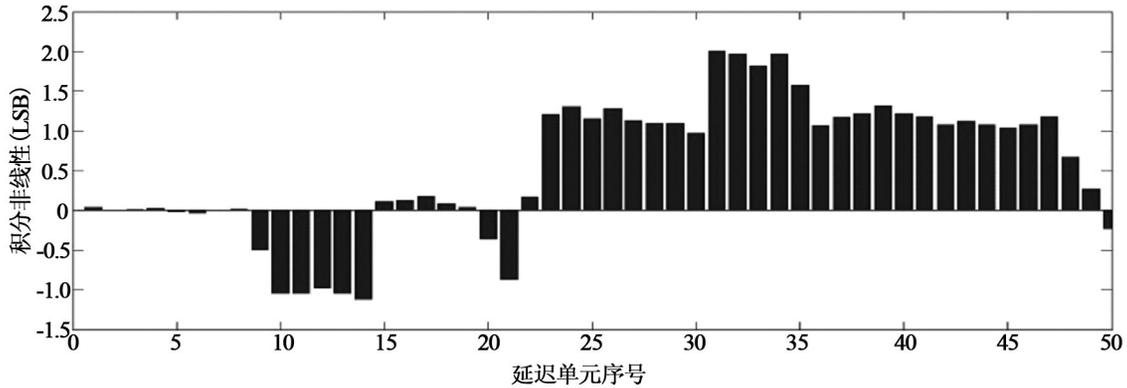


图6 积分非线性图

Fig.6 Diagram of integral nonlinearity

从测试结果可以看出延迟链中存在延迟时间过长的延迟单元,这些过长的延迟单元造成TDC测量的非线性程度增加。如果延迟单元的微分非线性大于1 LSB,会产生失码现象从而导致TDC的时间测量分辨率性能降低。为找到造成这些延迟单元延迟时间过长的原因,通过查看FPGA底层布局布线,发现产生这一现象的原因是进位链的长度超出了Spartan6器件内部一个Clock Region所能覆盖的最大长度,使得进位链布线过长增加延迟单元延迟时间。进位链的结构在FPGA中是固定的,通过手动布线改变这些进位链的布线资源并不合理且容易引入额外的延迟时间。因此采用软件算法上校正的方式对其进行修改以提高TDC的测量性能。

4 非线性校正

4.1 校正方式

由前仿真和码密度测试法得知,其延迟链中存在较大延迟时间的延迟单元,这些延迟单元的存在会影响TDC时间测量的精度。因此,需要对延迟链进行校准以提高测量的准确度。对延迟链的校正方法有两种:一种是平均法(average delay);另一种是bin-by-bin的方法,bin-by-bin校正即通过码密度测试得到每个延迟单元的延迟时间然后制成相应的查找表对其进行校准^[8]。平均法其原理是产生一个时间间隔已知的信号,让这个延迟时间已知的信号通过延迟链,从输出结果可以得出在延迟链上传播多少个延迟单元。假设两次记录的位置为 N_1 和 N_2 ,则每个延迟单元的平均延迟时间 t_d 为:

$$t_d = \frac{t_s}{N_2 - N_1} \quad (3)$$

式中: t_d 为延迟单元的平均延迟时间; t_s 为总延迟时间; N_2 和 N_1 为信号在延迟链中传播所记录延迟单元的位置。平均法并不能对每个延迟单元延迟时间进行校准,尤其是对于延迟时间较大延迟单元,平均法会产生较大的误差。而采用bin-by-bin校正方式可以对延迟链上的各个延迟单元进行校准。因此,设计采用bin-by-bin的校正方式,利用码密度测试得到的延迟链的各个延迟单元的延迟时间,将各个单元的延迟时间大小存为一个数组 w_k 置于RAM中作为每次测量之后的校正向量,输入信号传播到第 n 个延迟单元的延迟时间可表示为:

$$t_n = \frac{w_n}{2} + \sum_{k=0}^{n-1} w_k \quad (4)$$

式中: t_n 为信号传播到第 n 个延迟单元的延迟时间; w_n 为第 n 个延迟单元的延迟时间。在编码单元获取细测量结果后可根据式(4)在RAM中制作相应的查找表,进而获得待测时间间隔。采用bin-by-bin的校正方式可以对每一个延迟单元的延迟时间进行校准,尤其是针那些对延迟时间较大的延迟单元bin-by-bin的校正方式可以提高TDC的测量准确性。

4.2 TDC精度测试

在完成对TDC延迟链的校正之后需设计相应测试平台验证TDC整体测量的准确度。利用长度不同的同轴电缆(RG174)来产生固定时间间隔,并利用TDC测试固定的时间间隔以验证TDC的测量精度。在测试前首先应对同轴电缆延迟时间进行测量,利用信号源AFG3102和示波器MDO4104B测试不同长度的同轴电缆延迟时间,其延迟时间如表1所列。

表1 同轴电缆长度延迟时间
Table1 The delay time of coaxial-cable

同轴电缆长度/cm	延迟时间/ns
100	6.4
150	8.9
166	9.6
200	11.5
250	14.0

根据最小二乘法对测量到的同轴电缆的长度和延迟时间进行拟合,得到拟合线性方程为:

$$Y=0.051x+1.267 \quad (5)$$

式中: x 为同轴电缆长度; Y 同轴电缆的延迟时间。

拟合相关系数为 $R\text{-square}=0.999\ 3$, 剩余标准差 (RMSE)为:0.07 拟合效果良好。由此可知单位 cm 同轴电缆(RG174)延迟时间约为 51 ps 左右。利用不同长度的同轴电缆构造不同的延迟时间,并利用 TDC 测量已知的时间间隔以检验经过 bin-by-bin 校正后的 TDC 测试精度。利用 TDC 多次测量固定 5.10 ns(长度差在 1 m 的 RG174 同轴电缆)的时间间隔测量结果如图 7 所示,测量平均值为 5.21 ns, 标准差为 0.140 ns。利用 TDC 多次测量固定 7.60 ns(长度差在 1.5 m 的 RG174 同轴电缆)的时间间隔测量结果如图 8 所示,测量平均值为 7.52 ns, 标准差为 0.168 ns。

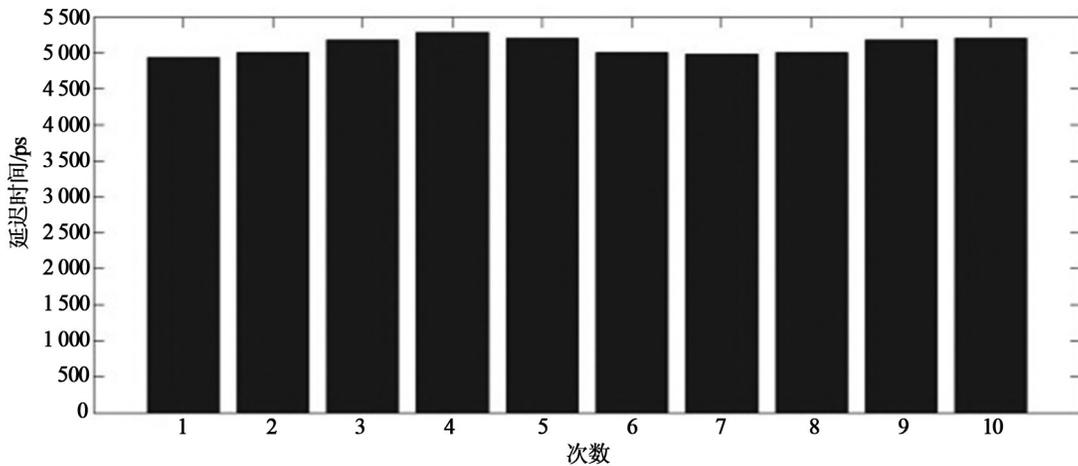


图7 5.1 ns 时间间隔精度测试结果图

Fig. 7 Performance of the 5.1 ns time interval accuracy

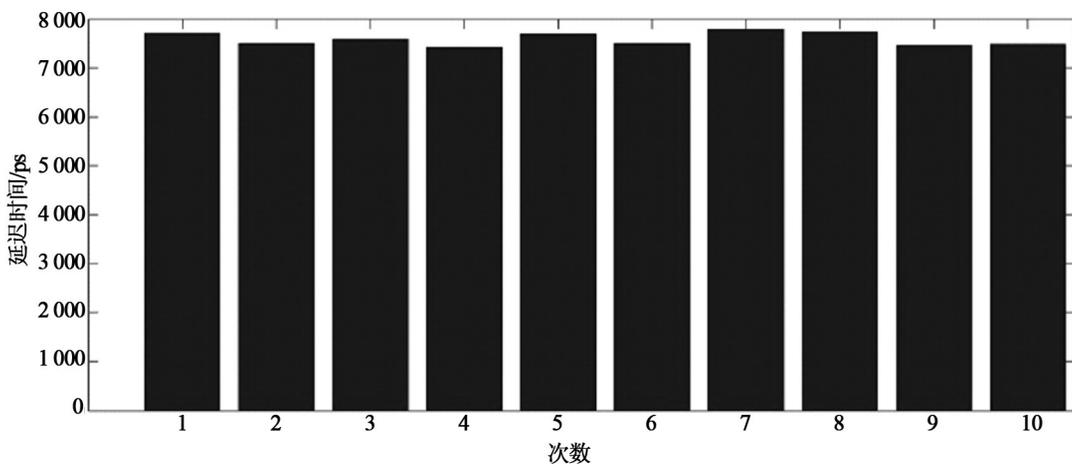


图8 7.60 ns 时间间隔精度测试结果图

Fig. 7 Performance of the 7.60 ns time interval accuracy

由此结果可以看出采用 bin-by-bin 的校正方式可将 TDC 的测量精度的最大偏差校准到约等于一个最大延迟单元的延迟时间。

5 结论

完成了基于 Spartan6-FPGA 的 TDC 电路设计与实现,针对设计中遇到的问题,做出了一系列解

决方案。采用码密度测试法对延迟单元的延迟时间进行测量,针对TDC延迟链中存在延迟时间较大的延迟单元,采用bin-by-bin的校正方式对TDC的细测量结果进行校正以提高TDC的测量精度。设计的TDC电路可实现测量指标为:TDC最小分辨(LSB)83 ps、TDC测量精度小于2 LSB、TDC测量动态范围16 us。

参考文献:

- [1] 李孝辉,杨旭海. 时间频率信号的精密测量[M]. 北京:科学出版社,2010.
- [2] Denbnovetskii S V, Kovtun A K. Digital time-interval meters [J]. Measurement Techniques, 1970, 13(10): 1514-1516.
- [3] Jung H C, Lim H. Time-to-digital converter implemented in field-programmable gate array using a multiphase clock and double state measurements[J]. Journal of the Institute of Electronics and Information Engineers, 2014, 51(8): 156-164.
- [4] Kalisz J, Szplet R, Pasierbinski J, et al. Field-programmable-gate-array-based time-to-digital converter with 200 ps resolution[J]. IEEE Transactions on Instrumentation and Measurement, 1997, 46(1): 51-55.
- [5] Szplet R, Klepacki K. An FPGA-integrated time-to-digital converter based on two-stage pulse shrinking[J]. IEEE Transactions on instrumentation and measurement, 2010, 59(6): 1663-1670.
- [6] Doernberg J, Lee H S, Hodges D. Full-speed testing of A/D converters[J]. Solid-State Circuits, IEEE Journal of, 2003, 19(6): 820-827.
- [7] Pelk R, Kalisz J, Szplet R. Nonlinearity correction of the integrated time-to-digital converter with direct coding[J]. IEEE Transactions on Instrumentation & Measurement, 1997, 46(2): 449-453.
- [8] Wu J Y, Shi Z H, Wang I Y. Firmware-only implementation of time to digital converter (TDC) in field programmable gate array (FPGA) [C]//Proceedings of the nuclear science symposium conference record, IEEE, 2003.

《真空与低温》杂志2018年起增加页码

随着《真空与低温》杂志的影响力的提高,为了满足真空与低温技术科研工作者发表论文的需求,《真空与低温》编辑部向中国航天科技集团公司研究发展部、甘肃省新闻出版广电局提出增页申请,并撰写了增页的可行性报告,已经被批准。《真空与低温》杂志从2018年起由64页增加为72页。

《真空与低温》创刊三十多年来,得到了广大作者、读者、审稿专家和领导的大力支持,为全国优秀的真空与低温工作者在理论研究、信息交流、成果推广和人才培养方面,提供一个沟通和交流的平台,聚集了一批真空与低温优秀的工作者,推动真空与低温事业的繁荣和发展,这就是《真空与低温》的努力方向和工作目标。

(本刊编辑部)